

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

09/94/116 U.S. PTO
09/04/01



日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 9月 5日

#3
Original
Sticker
6-602

出願番号

Application Number:

特願2000-268539

出願人

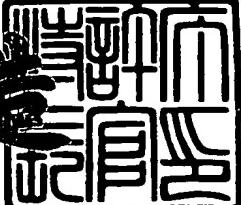
Applicant(s):

株式会社デンソー

2001年 7月27日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3067015

【書類名】 特許願
【整理番号】 N000278
【提出日】 平成12年 9月 5日
【あて先】 特許庁長官殿
【国際特許分類】 H03K 17/56
【発明者】
【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
【氏名】 二村 澄治
【発明者】
【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
【氏名】 奥田 勝一
【特許出願人】
【識別番号】 000004260
【氏名又は名称】 株式会社デンソー
【代理人】
【識別番号】 100071135
【住所又は居所】 名古屋市中区栄四丁目6番15号 名古屋あおば生命ビル
【弁理士】
【氏名又は名称】 佐藤 強
【電話番号】 052-251-2707
【手数料の表示】
【予納台帳番号】 008925
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9200169

特2000-268539

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 駆動回路

【特許請求の範囲】

【請求項1】 電源線間にハイサイド側スイッチング回路とロウサイド側スイッチング回路とが出力端子を介して直列に接続され、前記出力端子に接続されたスイッチング素子をオンオフ駆動する駆動回路において、

前記出力端子の電圧を検出する電圧検出回路を備え、

前記ロウサイド側スイッチング回路は、前記電圧検出回路により検出された出力電圧が、前記スイッチング素子がオフ状態となる電圧範囲内で設定された所定のオフ判定電圧以下である場合に、オフ状態となるように構成されていることを特徴とする駆動回路。

【請求項2】 電源線間にハイサイド側スイッチング回路とロウサイド側スイッチング回路とが出力端子を介して直列に接続され、前記出力端子に接続されたスイッチング素子をオンオフ駆動する駆動回路において、

前記出力端子の電圧を検出する電圧検出回路を備え、

前記ハイサイド側スイッチング回路は、前記電圧検出回路により検出された出力電圧が、前記スイッチング素子がオン状態となる電圧範囲内で設定された所定のオン判定電圧以上である場合に、オフ状態となるように構成されていることを特徴とする駆動回路。

【請求項3】 電源線間にハイサイド側スイッチング回路とロウサイド側スイッチング回路とが出力端子を介して直列に接続され、前記出力端子に接続されたスイッチング素子をオンオフ駆動する駆動回路において、

前記出力端子の電圧を検出する電圧検出回路を備え、

前記ロウサイド側スイッチング回路は、前記電圧検出回路により検出された出力電圧が、前記スイッチング素子がオフ状態となる電圧範囲内で設定された所定のオフ判定電圧以下である場合に、オフ状態となるように構成され、

前記ハイサイド側スイッチング回路は、前記電圧検出回路により検出された出力電圧が、前記スイッチング素子がオン状態となる電圧範囲内で設定された所定のオン判定電圧以上である場合に、オフ状態となるように構成されていることを

特徴とする駆動回路。

【請求項4】 前記ロウサイド側スイッチング回路は、
出力トランジスタと、
この出力トランジスタを駆動するプリドライブ回路と、
前記検出された出力電圧と前記オフ判定電圧とを比較する比較回路と、
この比較回路の比較結果に応じて前記プリドライブ回路の動作状態を制御する
論理回路とから構成されていることを特徴とする請求項1または3記載の駆動回
路。

【請求項5】 前記ハイサイド側スイッチング回路は、
出力トランジスタと、
この出力トランジスタを駆動するプリドライブ回路と、
前記検出された出力電圧と前記オン判定電圧とを比較する比較回路と、
この比較回路の比較結果に応じて前記プリドライブ回路の動作状態を制御する
論理回路とから構成されていることを特徴とする請求項2または3記載の駆動回
路。

【請求項6】 前記比較回路は、コンパレータにより構成されていることを
特徴とする請求項4または5記載の駆動回路。

【請求項7】 前記比較回路は、判定用トランジスタを備え、この判定用ト
ランジスタの制御端子に前記検出された出力電圧が入力されるように構成されて
いることを特徴とする請求項4または5記載の駆動回路。

【請求項8】 前記電圧検出回路は、抵抗分圧回路により構成されているこ
とを特徴とする請求項1ないし7の何れかに記載の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電源線間にハイサイド側スイッチング回路とロウサイド側スイッ
チング回路とが出力端子を介して直列に接続され、その出力端子に接続されたスイ
ッチング素子をオンオフ駆動する駆動回路に関する。

【0002】

【発明が解決しようとする課題】

この種の駆動回路の従来構成について、図9および図10を参照しながら説明する。図10は、駆動回路の電気的構成を概略的に示している。ICとして構成された駆動回路1は、入力端子2に与えられる制御信号Saに従って、出力端子3に接続されたスイッチング素子例えばNチャネル型MOSFET4のゲートに対し駆動用の電圧V_Oを出力するように構成されている。この駆動回路1において、正側の電源線5と負側の電源線6（以下、グランド線6と称す）との間には、ハイサイド側トランジスタT1のコレクタ・エミッタ間、抵抗R1、およびロウサイド側トランジスタT2のコレクタ・エミッタ間が直列に接続され、抵抗R1とトランジスタT2のコレクタとの共通接続点が上記出力端子3に接続されている。

【0003】

さらに、駆動回路1は、プリドライブ回路7、8、入力端子2とこれらプリドライブ回路7、8の入力端子との間に介在するトランジスタT3、およびトランジスタT3にバイアス電流を供給する定電流回路CS1を備えている。プリドライブ回路7、8は、トランジスタT3からの信号を受けて互いに反転した論理で動作し、それぞれトランジスタT1、T2を駆動するようになっている。

【0004】

すなわち、上記駆動回路1はプッシュプル回路であって、入力端子2にLレベルの制御信号Saが与えられると、トランジスタT3がオフ、トランジスタT1がオン、トランジスタT2がオフとなり、MOSFET4のゲートには電源線5の電圧Vbが印加されてMOSFET4がオン状態となる。また、入力端子2にHレベルの制御信号Saが与えられると、トランジスタT3がオン、トランジスタT1がオフ、トランジスタT2がオンとなり、MOSFET4のゲートにはグランド線6の電圧(0V)が印加されてMOSFET4がオフ状態となる。

【0005】

図9は、この駆動回路1の具体的な回路構成の一例を示している。ただし、この図9に示す駆動回路1のプリドライブ回路7、8は、回路構成を簡単化するために一部回路を共用化した構成となっている。すなわち、プリドライブ回路7、

8は、トランジスタT1をオフさせるとともにトランジスタT2をオンさせるためのトランジスタT4、トランジスタT2をオフさせるためのトランジスタT5、トランジスタT4を駆動するためのトランジスタT6、および抵抗R2～R8から構成されている。

【0006】

ここで、Lレベルの制御信号SaによりトランジスタT3がオフすると、トランジスタT5、T6がオン、トランジスタT4がオフとなって、トランジスタT1がオン、トランジスタT2がオフとなる。また、Hレベルの制御信号SaによりトランジスタT3がオンすると、トランジスタT5、T6がオフ、トランジスタT4がオンとなって、トランジスタT1がオフ、トランジスタT2がオンとなる。

【0007】

ところで、MOSFET4には、そのゲート・ソース間およびゲート・ドレン間にそれぞれ容量C_{gs}および容量C_{gd}が存在している。これらのゲート容量は、図10において等価的に破線で示されている。MOSFET4のターンオン時間およびターンオフ時間を短縮化し、MOSFET4を高速にスイッチング動作させるためには、駆動回路1に大きな電流出力能力を持たせ、オンオフ切り換え時において上記MOSFET4のゲート容量を大きな電流で充放電する必要がある。

【0008】

そこで、駆動回路1においては、MOSFET4がオン状態からオフ状態に切り換わる際、トランジスタT2がコレクタ電流としてMOSFET4のゲート容量の電荷を短時間で引き抜けるように、トランジスタT2のベース電流が大きく設定されている。また、MOSFET4がオフ状態からオン状態に切り換わる際、トランジスタT1がコレクタ電流としてMOSFET4のゲート容量を短時間で充電できるように、トランジスタT1のベース電流も大きく設定されている。こうしたベース電流の設定は、抵抗R4、R6などの抵抗値の設定により行われる。

【0009】

しかしながら、主として電源線5から抵抗R6およびトランジスタT4を介して流れるトランジスタT2のベース電流は、オンオフ切り換え時のみならず、トランジスタT2がオン状態(MOSFET4がオフ状態)にある定常動作期間中にも継続して流れ続ける。従って、ターンオフ時間の短縮化のためにトランジスタT2のベース電流を増やすほど、駆動回路1の消費電流が増大し、抵抗R4、R6などでの損失が定常的に増大して発熱が大きくなってしまう。特に、駆動回路1はIC化されているので、発熱が大きいとICとして動作を保証する周囲温度を低下させてしまう。

【0010】

また、具体的には図示しないが、例えばスイッチング素子としてPチャネル型のMOSFETを駆動する駆動回路においては、上述同様の理由によって、ハイサイド側のトランジスタT1がオン状態にある定常動作期間中に大きなベース電流が流れ続け、やはり回路損失が増大してしまう。

【0011】

本発明は、上記事情に鑑みてなされたものであり、その目的は、駆動対象であるスイッチング素子のスイッチング速度を低下させることなく、自らの消費電流および消費電力を低減可能な駆動回路を提供することにある。

【0012】

【課題を解決するための手段】

請求項1に記載した手段によれば、ハイサイド側スイッチング回路がオン、ロウサイド側スイッチング回路がオフになると、出力端子つまりスイッチング素子の制御端子(ゲートまたはベース)にハイサイド側電源線の電圧が印加されてスイッチング素子がターンオンする。また、ハイサイド側スイッチング回路がオフ、ロウサイド側スイッチング回路がオンになると、制御端子にロウサイド側電源線の電圧が印加されてスイッチング素子がターンオフする。

【0013】

一般に、スイッチング素子の制御端子と主端子(ソースおよびドレインまたはエミッタおよびコレクタ)との間には容量成分(ゲート容量またはベース容量)が存在するので、スイッチング素子を高速にスイッチング動作させるために、ハ

イサイド側スイッチング回路およびロウサイド側スイッチング回路は大きな電流出力能力を有している。これに伴って、ハイサイド側スイッチング回路およびロウサイド側スイッチング回路は、そのオン状態において大きな電流を消費してしまう。

【0014】

本駆動回路は、電圧検出回路により検出された出力電圧がオフ判定電圧よりも高い場合、つまりスイッチング素子がターンオフ過程にある場合には、ロウサイド側スイッチング回路をオン状態に保つので、スイッチング素子の制御端子に対し十分な駆動電流が供給され、従来回路と同程度に短いターンオフ時間を得られる。また、本駆動回路は、電圧検出回路により検出された出力電圧がオフ判定電圧以下である場合、つまりスイッチング素子がオフ状態にある場合には、ロウサイド側スイッチング回路をオフ状態に保つので、ロウサイド側スイッチング回路の消費電流を低減することができる。

【0015】

その結果、駆動回路全体としての消費電力（つまり発熱）が小さくなって、従来よりも周囲温度が高い環境下においても本駆動回路を使用可能となる。本駆動回路は、スイッチング素子をオフ状態とする時間が長いほど、消費電流および消費電力の低減効果が大きくなる。

【0016】

請求項2に記載した手段によれば、電圧検出回路により検出された出力電圧がオン判定電圧よりも低い場合、つまりスイッチング素子がターンオン過程にある場合には、ハイサイド側スイッチング回路がオン状態に保たれるので、スイッチング素子の制御端子に対し十分な駆動電流が供給され、従来回路と同程度に短いターンオン時間を得られる。また、本駆動回路は、電圧検出回路により検出された出力電圧がオン判定電圧以上である場合、つまりスイッチング素子がオン状態にある場合には、ハイサイド側スイッチング回路をオフ状態に保つので、ハイサイド側スイッチング回路の消費電流および消費電力を低減することができる。

【0017】

その結果、駆動回路全体としての発熱が小さくなって、従来よりも周囲温度が

高い環境下においても本駆動回路を使用可能となる。本駆動回路は、スイッチング素子をオン状態とする時間が長いほど、消費電流および消費電力の低減効果が大きくなる。

【0018】

請求項3に記載した手段によれば、請求項1に記載した構成と請求項2に記載した構成とをともに有しているので、従来回路と同程度に短いターンオフ時間とターンオン時間とを確保しつつロウサイド側スイッチング回路およびハイサイド側スイッチング回路の消費電流を低減することができる。その結果、スイッチング素子のオンオフ駆動パターンにかかわらず、駆動回路の消費電力（つまり発熱）を小さくすることができる。

【0019】

請求項4に記載した手段によれば、論理回路は、比較回路から出力電圧がオフ判定電圧よりも高いという比較結果を受けると、プリドライブ回路が出力トランジスタをオン駆動するように当該プリドライブ回路を制御し、比較回路から出力電圧がオフ判定電圧以下であるという比較結果を受けると、プリドライブ回路が出力トランジスタをオフ駆動するように当該プリドライブ回路を制御する。この制御により、出力電圧がオフ判定電圧以下である場合における出力トランジスタのベース電流（またはゲート駆動電流）をカットして、消費電流を低減することができる。

【0020】

請求項5に記載した手段によれば、論理回路は、比較回路から出力電圧がオン判定電圧よりも低いという比較結果を受けると、プリドライブ回路が出力トランジスタをオン駆動するように当該プリドライブ回路を制御し、比較回路から出力電圧がオン判定電圧以上であるという比較結果を受けると、プリドライブ回路が出力トランジスタをオフ駆動するように当該プリドライブ回路を制御する。この制御により、出力電圧がオン判定電圧以上である場合における出力トランジスタのベース電流（またはゲート駆動電流）をカットして、消費電流を低減することができる。

【0021】

請求項6に記載した手段によれば、比較回路としてのコンパレータが、電圧検出回路により検出された出力電圧とオフ判定電圧またはオン判定電圧とを比較して、HレベルまたはLレベルの比較結果を出力する。

【0022】

請求項7に記載した手段によれば、電圧検出回路により検出された出力電圧が判定用トランジスタのオンしきい値よりも低い場合には、比較結果として判定用トランジスタがオフとなり、前記検出された出力電圧が判定用トランジスタのオンしきい値よりも高い場合には、比較結果として判定用トランジスタがオンとなる。

【0023】

請求項8に記載した手段によれば、出力電圧は抵抗分圧回路により分圧されて検出されるので、この抵抗分圧比を適宜設定することにより、オフ判定電圧レベルおよびオン判定電圧レベルをスイッチング素子のオンしきい値特性に応じて任意に設定可能となる。

【0024】

【発明の実施の形態】

(第1の実施形態)

以下、本発明の第1の実施形態について、図1ないし図4を参照しながら説明する。

図2には、駆動回路(1チャネル分)の電気的構成が概略的に示されている。この図2に示される駆動回路11の例えば6チャネル分の回路が、図示しない他の回路とともにエンジン制御用のICを構成している。駆動回路11は、図示しないCPUから上記ICの入力端子12に与えられる制御信号Saに従って、上記ICの出力端子13に接続されたスイッチング素子例えばNチャネル型のMOSFET14のゲートに対して駆動用の電圧V_oを出力するように構成されている。

【0025】

MOSFET14のドレインと図示しないバッテリの正側端子との間には、図示しないソレノイドなどの負荷が接続されている。また、MOSFET14のソ

ースは、前記バッテリの負側端子に繋がるパワー用のグランド線15に接続されている。一般に、MOSFET14のゲート・ソース間およびゲート・ドレイン間には、それぞれ容量C_{gs}および容量C_{gd}が存在している。これらのゲート容量は、図2において等価的に破線で示されている。

【0026】

上記IC内部の正側の電源線16と負側の電源線17（以下、グランド線17と称す）には、バッテリから図示しないイグニッシュョンスイッチを介して電源電圧V_b（例えば14V）が供給されている。これら電源線16とグランド線17との間には、NPN型トランジスタT11のコレクタ・エミッタ間、抵抗R11、およびNPN型トランジスタT12のコレクタ・エミッタ間が直列に接続され、抵抗R11とトランジスタT12のコレクタとの共通接続点が上記出力端子13に接続されている。トランジスタT11、T12は、それぞれハイサイド側の出力トランジスタ、ロウサイド側の出力トランジスタに相当する。

【0027】

駆動回路11は、トランジスタT11を制御するための出力制御回路18、トランジスタT12を制御するための出力制御回路19、入力端子12と出力制御回路17、18の各入力端子との間に介在するNPN型のトランジスタT13、およびトランジスタT13にバイアス電流を供給する定電流回路CS11を備えている。また、出力端子13とグランド線17との間には、出力端子13の電圧（出力電圧V_o）を検出するための電圧検出回路20が設けられている。ここで、トランジスタT11と出力制御回路18とがハイサイド側スイッチング回路に相当し、トランジスタT12と出力制御回路19とがロウサイド側スイッチング回路に相当する。

【0028】

図1には、駆動回路11の具体的な回路構成が示されている。この図1において、定電流回路CS12、CS14～CS17、NPN型のトランジスタT14、T15、T17～T20、および抵抗R12～R17により論理回路21が構成され、定電流回路CS13とNPN型のトランジスタT16（判定用トランジスタに相当）により比較回路22が構成されている。

【0029】

また、P N P型のトランジスタT21、N P N型のトランジスタT22、T23、および抵抗R18～R20によりハイサイド側のプリドライブ回路23が構成され、P N P型のトランジスタT24、N P N型のトランジスタT25、T26、および抵抗R21～R24によりロウサイド側のプリドライブ回路24が構成されている。

【0030】

図2に示す出力制御回路18は、図1に示す論理回路21およびプリドライブ回路22から構成され、図2に示す出力制御回路19は、図1に示す論理回路21、比較回路22、およびプリドライブ回路24から構成されている。このように、図1に示す回路にあっては、出力制御回路18と19とは一部の回路（論理回路21）について共用化された回路構成となっている。

【0031】

論理回路21において、定電流回路C S12とグランド線17との間には、トランジスタT14とT15の各コレクタ・エミッタ間が並列に接続され、定電流回路C S14～C S17とグランド線17との各間には、それぞれトランジスタT17～T20のコレクタ・エミッタ間が接続されている。トランジスタT14、T17、T18の各ベースは、それぞれ抵抗R13、R14、R15を介してトランジスタT13のコレクタに接続され、トランジスタT19、T20の各ベースは、それぞれ抵抗R16、R17を介してトランジスタT18のコレクタに接続されている。また、トランジスタT15のベースには、トランジスタT16のコレクタが接続されている。

【0032】

プリドライブ回路23において、電源線16とグランド線17との間には、抵抗R18、R19、トランジスタT22のコレクタ・エミッタ間が直列に接続されているとともに、トランジスタT21のエミッタ・コレクタ間、抵抗R20、トランジスタT23のコレクタ・エミッタ間が直列に接続されている。トランジスタT21、T22、T23の各ベースは、それぞれ抵抗R18とR19との共通接続点、トランジスタT20のコレクタ、トランジスタT17のコレクタに接

続されており、トランジスタT23のコレクタは上記トランジスタT11のベースに接続されている。

【0033】

プリドライブ回路24において、電源線16とグランド線17との間には、抵抗R21、R22、トランジスタT25のコレクタ・エミッタ間が直列に接続されているとともに、トランジスタT24のエミッタ・コレクタ間、抵抗R23、トランジスタT26のコレクタ・エミッタ間が直列に接続されている。トランジスタT24、T25、T26の各ベースは、それぞれ抵抗R21とR22との共通接続点、トランジスタT14およびT15のコレクタ、トランジスタT19のコレクタに接続されており、トランジスタT26のコレクタは上記トランジスタT12のベースに接続されている。なお、トランジスタT12のベース・エミッタ間には抵抗R24が接続されている。

【0034】

電圧検出回路20は、出力端子13とグランド線17との間に直列接続された抵抗R25、R26からなる抵抗分圧回路により構成されており、この電圧検出回路20により検出された検出出力電圧 V_p は、抵抗R27を介してトランジスタT16のベースに印加されるようになっている。ここで、出力電圧 V_o と検出出力電圧 V_p とは以下の(1)式の関係を有している。なお、本実施形態においては、抵抗R11～R27の各抵抗値を、それぞれ符号と同じR11～R27を用いて表している。

$$V_p = R26 / (R25 + R26) \cdot V_o \quad \dots (1)$$

【0035】

また、本実施形態においては、電圧検出回路20に流れる電流が小さくなるように $R25 = 1 k\Omega$ 、 $R26 = 100 k\Omega$ に設定したため、近似的には以下の(2)式が成立するようになっている。

$$V_p = V_o \quad \dots (2)$$

【0036】

次に、本実施形態の作用について図3および図4も参照しながら説明する。

まず、入力端子12に与えられる制御信号 S_a のレベル変化時における駆動回

路11の動作について説明する。なお、本実施形態において、LレベルとはトランジスタのV_f（約0.7V）よりも低い電圧（例えば0V）を意味し、HレベルとはトランジスタのV_f以上の電圧を意味している。また、本実施形態で用いられる制御信号S_aは、例えば4ms周期のHレベルパルス信号（パルス幅：200μs～400μs）である。

【0037】

（1）制御信号S_aがHレベルからLレベルに変化する場合

トランジスタT13がオフ、トランジスタT14、T17、T18がオン、トランジスタT19、T20がオフとなる。トランジスタT14がオンするため、トランジスタT14、T15のコレクタ電圧は、検出出力電圧V_pの大きさにかかわらずLレベルとなる。

【0038】

論理回路21による上記動作により、ハイサイド側にあっては、トランジスタT22がオン、トランジスタT23がオフとなり、トランジスタT21およびトランジスタT11がオンとなる。また、ロウサイド側にあっては、トランジスタT25がオフ、トランジスタT26がオンとなり、トランジスタT24およびトランジスタT12がオフとなる。

【0039】

その結果、駆動回路11は、制御信号S_aのレベル変化時において、電源線16からトランジスタT11、抵抗R11、出力端子13を通してMOSFET14のゲート容量に対して充電電流を出力する。このゲート容量の充電すなわちゲート駆動に伴って、出力電圧V_oは0Vからほぼ電圧V_bに等しいレベルにまで急上昇し、その出力電圧V_oがMOSFET14のしきい値V_{th}以上になるとMOSFET14がオン状態に移行する。

【0040】

（2）制御信号S_aがLレベルからHレベルに変化する場合

トランジスタT13がオン、トランジスタT14、T17、T18がオフ、トランジスタT19、T20がオンとなる。これにより、ハイサイド側にあっては、トランジスタT22がオフ、トランジスタT23がオンとなり、トランジスタ

T₂1およびトランジスタT₁1がオフとなる。これに対し、トランジスタT₁4、T₁5のコレクタ電圧、ひいてはロウサイド側のトランジスタT₂4、T₂5、T₁2のオンオフ状態は、出力電圧V_oの大きさに応じて決定される。

【0041】

すなわち、制御信号S_aがLレベルからHレベルに変化した後、出力電圧V_oが以下の(3)式を満たしている期間は、トランジスタT₁6がオンとなり、これによりトランジスタT₁5がオフとなる。

$$V_o \geq (R_{25} + R_{26}) / R_{26} \cdot V_f \quad \cdots (3)$$

【0042】

この期間、トランジスタT₁4、T₁5のコレクタ電圧はHレベルとなる。これにより、ロウサイド側のトランジスタT₂5がオン、トランジスタT₂6がオフとなり、トランジスタT₂4およびトランジスタT₁2がオンとなる。

【0043】

その結果、駆動回路11は、MOSFET14のゲート容量に蓄積された電荷を、出力端子13およびトランジスタT₁2を介してグランド線17へと放電させる。このゲート容量の放電すなわちゲート駆動に伴って、出力電圧V_oはほぼ電圧V_bに等しい電圧レベルから急激に下降し、その出力電圧V_oがMOSFET14のしきい値V_{th}未満になるとMOSFET14がオフ状態に移行する。

【0044】

MOSFET14がオフ状態に移行した後、出力電圧V_oがさらに低下して以下の(4)式を満たすようになると、トランジスタT₁6がオフとなり、これによりトランジスタT₁5がオンとなる。この(4)式の右辺により計算される電圧は、本発明におけるオフ判定電圧に相当し、このオフ判定電圧はMOSFET14のしきい値V_{th}よりも低い値となるように設定されている。

$$V_o < (R_{25} + R_{26}) / R_{26} \cdot V_f \quad \cdots (4)$$

【0045】

そして、トランジスタT₁6がオフ(トランジスタT₁5がオン)になると、ロウサイド側のトランジスタT₂5がオンからオフに変化し、その結果トランジスタT₂4およびトランジスタT₁2がオンからオフに変化する。

【0046】

このように、制御信号 S_aがLレベルからHレベルに変化する場合には、少なくともMOSFET14がオン状態からオフ状態に移行するまでの期間においては、ロウサイド側のトランジスタT12がオンとなって、ゲート容量に蓄積された電荷が急速に引き抜かれる。そして、MOSFET14がオフ状態の下で(4)式の条件が満たされている場合において、ハイサイド側のトランジスタT11に加えロウサイド側のトランジスタT12もオフ状態となる。

【0047】

この場合、電圧検出回路20を構成する抵抗R25、R26は、MOSFET14のゲートに対してプルダウン抵抗として機能するので、トランジスタT11、T12がともにオフ状態となっても、MOSFET14のゲートがハイインピーダンスの状態になることはない。また、例えばノイズの混入によりゲート電圧がオフ判定電圧以上に上昇すると、ロウサイド側のトランジスタT12が直ちにオンしてゲート電圧を低下させる。このため、MOSFET14が誤ってオン状態となることがなくなる。

【0048】

続いて、本実施形態の駆動回路11、および「発明が解決しようとする課題」において従来構成として説明した駆動回路1(図9参照)について、制御信号S_aがHレベルの場合における消費電流および消費電力を計算する。

【0049】

(1) 駆動回路11(本実施形態)

ロウサイド側のトランジスタT12がオフ状態となることにより低減される消費電流は(5)式の通りである。

$$\begin{aligned} \text{低減される消費電流} &= (V_b - V_{BE}(T24) - V_{CE}(T25)) / R22 \\ &+ (V_b - V_{BE}(T12) - V_{CE}(T24)) / R23 + V_{BE}(T24) / R21 \\ &\dots (5) \end{aligned}$$

【0050】

トランジスタT12がオフ状態の場合における消費電流および消費電力は、それぞれ以下の(6)式および(7)式のようになる。ここで、ICSは定電流回路

CS11～CS17の電流値である。

$$\text{消費電流} = 7 \cdot I_{CS} \quad \dots (6)$$

$$\begin{aligned} \text{消費電力} = & 4 \cdot I_{CS} \cdot V_{CE} + 3 \cdot I_{CS} \cdot V_{BE} \\ & + V_{BE}^2 / (R_{25} + R_{26}) \end{aligned} \quad \dots (7)$$

【0051】

この(7)式において、第1項は、定電流回路CS11、CS12、CS16、CS17の電流による消費電力で、第2項は、定電流回路CS13、CS14、CS15の電流による消費電力である。また第3項は、トランジスタT12がオフ状態となった時の出力電圧V_O(V_{BE(T16)})による消費電力である。

【0052】

ここで、実際の回路における設計値として、V_b=14V、V_{BE}=0.7V、V_{CE}=0.05V、R₂₅=1kΩ、R₂₆=100kΩ、I_{CS}=50μAを用いて上記(6)式および(7)式を計算すると、消費電流=0.35mA、消費電力=0.12mWとなる。

【0053】

(2) 駆動回路1(従来回路)

$$\begin{aligned} \text{消費電流} = & I_{CS} + (V_b - V_{BE(T2)} - V_{BE(T4)}) / R_4 \\ & + (V_b - V_{BE(T2)} - V_{CE(T4)}) / R_6 \end{aligned} \quad \dots (8)$$

$$\begin{aligned} \text{消費電力} = & I_{CS} \cdot V_{CE(T3)} + V_b \cdot (V_b - V_{BE(T2)} - V_{BE(T4)}) / R_4 \\ & + V_b \cdot (V_b - V_{BE(T2)} - V_{CE(T4)}) / R_6 \end{aligned} \quad \dots (9)$$

【0054】

ここで、実際の回路における設計値として、V_b=14V、V_{BE}=0.7V、V_{CE}=0.05V、R₄=24kΩ、R₆=3.9kΩ、I_{CS}=50μAを用いて上記(8)式および(9)式を計算すると、消費電流=3.97mA、消費電力=54.91mWとなる。

【0055】

従って、本実施形態の駆動回路11と従来構成の駆動回路1とについて、制御信号S_aがHレベルの場合における消費電流および消費電力を比較すると、駆動回路11の方が消費電流として3.62mA、消費電力として54.79mWだ

け低減する。消費電力が低減したことに伴って、駆動回路11の発熱も小さくなる。

【0056】

なお、ここでは駆動回路11を駆動回路1と比較したが、駆動回路11を当該駆動回路11から本発明の特徴部分である電圧検出回路20と比較回路22とを除いた駆動回路と比較した場合であっても、制御信号SaがHレベルの場合における消費電流および消費電力は、駆動回路11の方が低減される。

【0057】

図3および図4は、それぞれ駆動回路11および駆動回路1について、制御信号SaをHレベル、Lレベル、Hレベルと変化させた場合における消費電流のシミュレーション波形を示している。これら、図3および図4において、横軸は時間(μs)、縦軸は消費電流(A)を示しており、回路定数は上述した値を使用している。

【0058】

制御信号SaがHレベルの期間(0~10 μs 、20~30 μs)において、図3に示す駆動回路11の消費電流は、図4に示す駆動回路1の消費電流に比べ十分に低減していることが分かる。

【0059】

また、駆動回路11の場合、制御信号SaがHレベルからLレベルに変化する時、トランジスタT11、T12がともにオフの状態からトランジスタT11がオン状態に移行するので、トランジスタT11およびT12を通過する貫通電流が流れない。このため、制御信号SaがHレベルからLレベルに変化する時に一時的に流れる消費電流は、MOSFET14のゲート容量の充電電流によるもののみとなり、その消費電流(最大値0.1A)は、貫通電流が流れる駆動回路1の消費電流(最大値0.24A)に比べて小さくなる。

【0060】

なお、制御信号SaがLレベルからHレベルに変化する時、駆動回路11の消費電流がわずかに増加しているが、これはシミュレーションに用いたPNP型のトランジスタT21のターンオフ時間が長いために、貫通電流が発生しているこ

とによる。この貫通電流は、トランジスタT21に高速タイプのトランジスタを採用することにより抑制することができる。

【0061】

以上説明したように、本実施形態の駆動回路11は、電源線16とグランド線17との間に出力端子13を挟んでハイサイド側のトランジスタT11とロウサイド側のトランジスタT12とが直列接続された構成を備えるとともに、これらトランジスタT11、T12が大きな電流駆動能力を持つように、トランジスタT11、T12に対しそれぞれ大きなベース電流を供給可能なプリドライブ回路23、24を備えている。

【0062】

従って、駆動回路11は、プリドライブ回路23を用いてトランジスタT11をオンすることにより、出力端子13に接続されたMOSFET14のゲート容量を大電流で充電でき、MOSFET14のターンオン時間を短縮できる。また、駆動回路11は、プリドライブ回路24を用いてトランジスタT12をオンすることにより、MOSFET14のゲート容量を大電流で放電でき、MOSFET14のターンオフ時間を短縮できる。

【0063】

さらに、駆動回路11は、出力電圧 V_o （つまりMOSFET14のゲート電圧）を検出する電圧検出回路20と、その検出された出力電圧 V_o とMOSFET14のしきい値 V_{th} よりも低く設定されたオフ判定電圧とを比較する比較回路22とを備え、出力電圧 V_o がオフ判定電圧よりも低下している場合にプリドライブ回路24をオフ状態としてトランジスタT12へのベース電流の供給を停止するよう構成されている。

【0064】

この構成により、MOSFET14がターンオフ過程にある場合には、トランジスタT12がオンとなってMOSFET14が急速にターンオフし、MOSFET14がターンオフした後は、プリドライブ回路24に流れる電流（トランジスタT12のベース電流を含む）がカットされて消費電流、消費電力が低減する。その結果、従来の駆動回路1と比較して、（ターンオン時間は勿論）ターンオ

フ時間を増大させることなく、駆動回路11が形成されたICの発熱を低減することができる。これにより、上記ICは、従来の駆動回路1が形成されたICよりも周囲温度が高い環境下において使用可能になるとともに、より多くの駆動回路11（より多くのチャンネル）を内蔵した状態で使用可能となる。

【0065】

この駆動回路11は、MOSFET14がオフ状態にある時間が長いほど消費電流および消費電力の低減効果が大きくなる。また、電圧検出回路20を構成する抵抗R25、R26が、MOSFET14のゲートに対してプルダウン抵抗として機能するので、トランジスタT11、T12がオフとなってもMOSFET14は安定してオフ状態に保持される。

【0066】

(第2の実施形態)

次に、本発明の第2の実施形態について、駆動回路（1チャンネル分）の電気的構成を概略的に示す図6および具体的に示す図5を参照しながら説明する。上述した第1の実施形態は、Nチャネル型のMOSFET14がオフ状態にある場合の消費電力を低減するように構成されていたのに対し、本実施形態は、Pチャネル型のMOSFETがオフ状態にある場合の消費電力を低減するように構成されている点を異にする。なお、図5および図6において、それぞれ図1および図2と同一構成部分には同一符号を付して示し、ここでは異なる構成部分について説明する。

【0067】

図6において、駆動回路25が形成されたICの出力端子13には、スイッチング素子としてPチャネル型のMOSFET26のゲートが接続されている。このMOSFET26のドレインは、図示しないソレノイドなどの負荷に接続されており、MOSFET26のソースは、バッテリの正側端子に繋がるパワー用の電源線27に接続されている。MOSFET26にも、破線で示すゲート容量C_{gs}、C_{gd}が存在する。

【0068】

駆動回路25は、トランジスタT11を駆動するための出力制御回路28およ

びトランジスタT12を制御するための出力制御回路29を備えている。また、出力端子13と電源線16との間には、出力端子13の電圧（出力電圧V_o）を検出するための電圧検出回路30が設けられている。ここで、トランジスタT11と出力制御回路28とがハイサイド側スイッチング回路に相当し、トランジスタT12と出力制御回路29とがロウサイド側スイッチング回路に相当する。なお、本実施形態でいう出力電圧V_oは、電源線16の電位を基準電位とともに、負方向（つまり電源線16の電位から下がる方向）を正方向の電圧としている。

【0069】

図5において、比較回路32は、定電流回路CS18とNPN型のトランジスタT29（判定用トランジスタに相当）とから構成されている。トランジスタT29のベース・エミッタ間には抵抗R28が接続されている。また、論理回路31において、トランジスタT20にはトランジスタT28が並列に接続されており、そのトランジスタT28のベースは上記トランジスタT29のコレクタに接続されている。

【0070】

電圧検出回路30は、出力端子13と電源線16との間に直列接続された抵抗R29とR30との抵抗分圧回路、エミッタが電源線16に接続されたPNP型のトランジスタT27、このトランジスタT27のベースと前記抵抗分圧回路の分圧点との間に接続された抵抗R31とから構成されている。トランジスタT27のベースは、抵抗R32を介して上記トランジスタT29のベースに接続されている。

【0071】

次に、本実施形態の作用について説明する。

入力端子12に与えられる制御信号S_aのレベル変化時における動作は、以下のようになる。

【0072】

(1) 制御信号S_aがHレベルからLレベルに変化する場合

トランジスタT13がオフ、トランジスタT14、T17、T18がオン、ト

ランジスタT19、T20がオフとなる。これにより、ロウサイド側にあっては、トランジスタT25がオフ、トランジスタT26がオンとなり、トランジスタT24およびトランジスタT12がオフとなる。これに対し、トランジスタT20、T28のコレクタ電圧、ひいてはハイサイド側のトランジスタT22、T11のオンオフ状態は、出力電圧V_oの大きさに応じて決定される。

【0073】

すなわち、制御信号S_aがHレベルからLレベルに変化した後、出力電圧V_oが以下の(10)式を満たしている期間は、トランジスタT27、T29がオンとなり、これによりトランジスタT28がオフとなる。

$$V_o \geq (R_{29} + R_{30}) / R_{30} \cdot V_f \quad \cdots (10)$$

【0074】

この期間、トランジスタT20、T28のコレクタ電圧はHレベルとなる。これにより、ハイサイド側のトランジスタT22がオン、トランジスタT23がオフとなり、トランジスタT21およびトランジスタT11がオンとなる。

【0075】

その結果、駆動回路25は、MOSFET26のゲート容量に蓄積された電荷を、出力端子13およびトランジスタT11を介して電源線16へと放電させる。これにより、出力電圧V_oがしきい値V_{th}未満になるとMOSFET26がオフ状態に移行する。

【0076】

MOSFET26がオフ状態に移行した後、出力電圧V_oがさらに低下して以下の(11)式を満たすようになると、トランジスタT27、T29がオフとなり、これによりトランジスタT28がオンとなる。この(11)式の右辺により計算される電圧は、本発明におけるオフ判定電圧に相当し、このオフ判定電圧はMOSFET26のしきい値V_{th}よりも低い値となるように設定されている。

$$V_o < (R_{29} + R_{30}) / R_{30} \cdot V_f \quad \cdots (11)$$

【0077】

そして、トランジスタT29がオフ(トランジスタT28がオン)になると、ハイサイド側のトランジスタT22がオンからオフに変化し、その結果トランジ

スタT21およびトランジスタT11がオンからオフに変化する。なお、電圧検出回路30を構成する抵抗R29、R30は、MOSFET26のゲートに対してプルアップ抵抗として機能する。

【0078】

(2) 制御信号SaがLレベルからHレベルに変化する場合

トランジスタT13がオン、トランジスタT14、T17、T18がオフ、トランジスタT19、T20がオンとなる。トランジスタT20がオンするため、トランジスタT19、T20のコレクタ電位は、検出出力電圧Vpの大きさにかかわらずLレベルとなる。

【0079】

その結果、ハイサイド側にあっては、トランジスタT22がオフ、トランジスタT23がオンとなり、トランジスタT21およびトランジスタT11がオフとなる。また、ロウサイド側にあっては、トランジスタT25がオン、トランジスタT26がオフとなり、トランジスタT24およびトランジスタT12がオンとなる。出力電圧VoがMOSFET26のしきい値Vth以上になると、MOSFET26がオン状態に移行する。

【0080】

以上説明したように、本実施形態の駆動回路25は、電源線16の電位を基準とした出力電圧Voを検出する電圧検出回路30と、その検出された出力電圧VoとMOSFET26のしきい値Vthよりも低く設定されたオフ判定電圧とを比較する比較回路32とを備え、出力電圧Voがオフ判定電圧よりも低下している場合にプリドライブ回路23をオフ状態としてトランジスタT11へのベース電流の供給を停止するよう構成されている。

【0081】

従って、MOSFET26がターンオフ過程にある場合には、トランジスタT11がオンとなってMOSFET26が急速にターンオフし、MOSFET26がターンオフした後は、プリドライブ回路23に流れる電流（トランジスタT11のベース電流を含む）がカットされて駆動回路25の消費電流および消費電力が低減する。その結果、第1の実施形態と同様の効果が得られる。また、駆動回

路25は、MOSFET26がオフ状態にある時間が長いほど、消費電力の低減効果が大きくなる。

【0082】

(第3の実施形態)

次に、本発明の第3の実施形態について、駆動回路の電気的構成を概略的に示す図7を参照しながら説明する。なお、図7において、上述した図2または図6と同一構成部分には同一符号を付して示し、ここでは異なる構成部分について説明する。

【0083】

図7に示す駆動回路33は、Nチャネル型のMOSFET14を駆動するためのもので、図2に示す駆動回路11と図6に示す駆動回路25とを組み合わせた回路構成となっている。すなわち、トランジスタT11を駆動するための出力制御回路34は、出力制御回路18、28の両回路を含んだ構成となっており、トランジスタT12を制御するための出力制御回路35は、出力制御回路19、29の両回路を含んだ構成となっている。

【0084】

また、駆動回路33は、電圧検出回路20と30とを備えている。この場合、上述した(11)式の右辺により計算される電圧は、本発明におけるオン判定電圧に相当し、このオン判定電圧はMOSFET14がオン状態となる電圧範囲内の値に設定されている。

【0085】

上記構成を有する駆動回路33によれば、制御信号Saのレベル変化に応じてMOSFET14がターンオンまたはターンオフする時には、それぞれハイサイド側のトランジスタT11またはロウサイド側のトランジスタT12がオンすることにより大きな電流でMOSFET14のゲート容量を充放電できるで、ターンオン時間またはターンオフ時間が増加することがない。

【0086】

そして、MOSFET14がオン状態またはオフ状態に移行した後の定常状態においては、プリドライブ回路34、35がともにオフ状態となって、トランジ

スタT11、T12へのベース電流がともにカットされるので、MOSFET14の動作パターン（オン状態とオフ状態の割合）に関わらず駆動回路33の消費電流および消費電力を低減することができ、上述した駆動回路11に比べてICの発熱を一層低減することができる。

【0087】

(第4の実施形態)

次に、本発明の第4の実施形態について、駆動回路に用いられる比較回路の電気的構成を示す図8を参照しながら説明する。

図8に示すように、本実施形態では、比較回路として図1に示すトランジスタT16および定電流回路CS13に代えてコンパレータ36が用いられる。このコンパレータ36の反転入力端子は、抵抗R25、R26からなる抵抗分圧回路の分圧点に接続され、非反転入力端子には、上述したオフ判定電圧に相当する一定電圧 V_c が与えられている。また、コンパレータ36の出力端子は、図1に示すトランジスタT15のベースに接続されている。

【0088】

この構成によれば、抵抗分圧回路の分圧比を変更することなく、オフ判定電圧 V_c を直接的に可変することができる。また、基準電圧として判定用トランジスタT16のベース・エミッタ間電圧 V_f を用いる場合に比べ、比較電圧精度を高めることができる。

【0089】

(その他の実施形態)

なお、本発明は上記し且つ図面に示す各実施形態に限定されるものではなく、例えば以下のように変形または拡張が可能である。

各駆動回路11、25、33は、MOSFETに限らずバイポーラトランジスタやIGBTなどのスイッチング素子を駆動可能である。また、各駆動回路11、25、33は、Pチャネル型、Nチャネル型、PNP型、NPN型の何れのスイッチング素子も駆動可能である。また、駆動回路11、25、33について、バイポーラトランジスタを用いて構成したが、MOSFETを用いて構成しても良い。

【0090】

第3の実施形態において、2つの電圧検出回路20と30とを備えたが、一方例えば電圧検出回路20のみを設け、出力制御回路34、35は、この検出出力電圧V_Pに基づいて比較動作、論理動作およびプリドライブ動作を実行するよう構成しても良い。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態を示す駆動回路の具体的な電気的構成図

【図2】

駆動回路の概略的な電気的構成図

【図3】

駆動回路11についての消費電流のシミュレーション波形図

【図4】

駆動回路1についての消費電流のシミュレーション波形図

【図5】

本発明の第2の実施形態を示す図1相当図

【図6】

図2相当図

【図7】

本発明の第3の実施形態を示す図2相当図

【図8】

本発明の第4の実施形態を示す比較回路の電気的構成図

【図9】

従来構成を示す図1相当図

【図10】

図2相当図

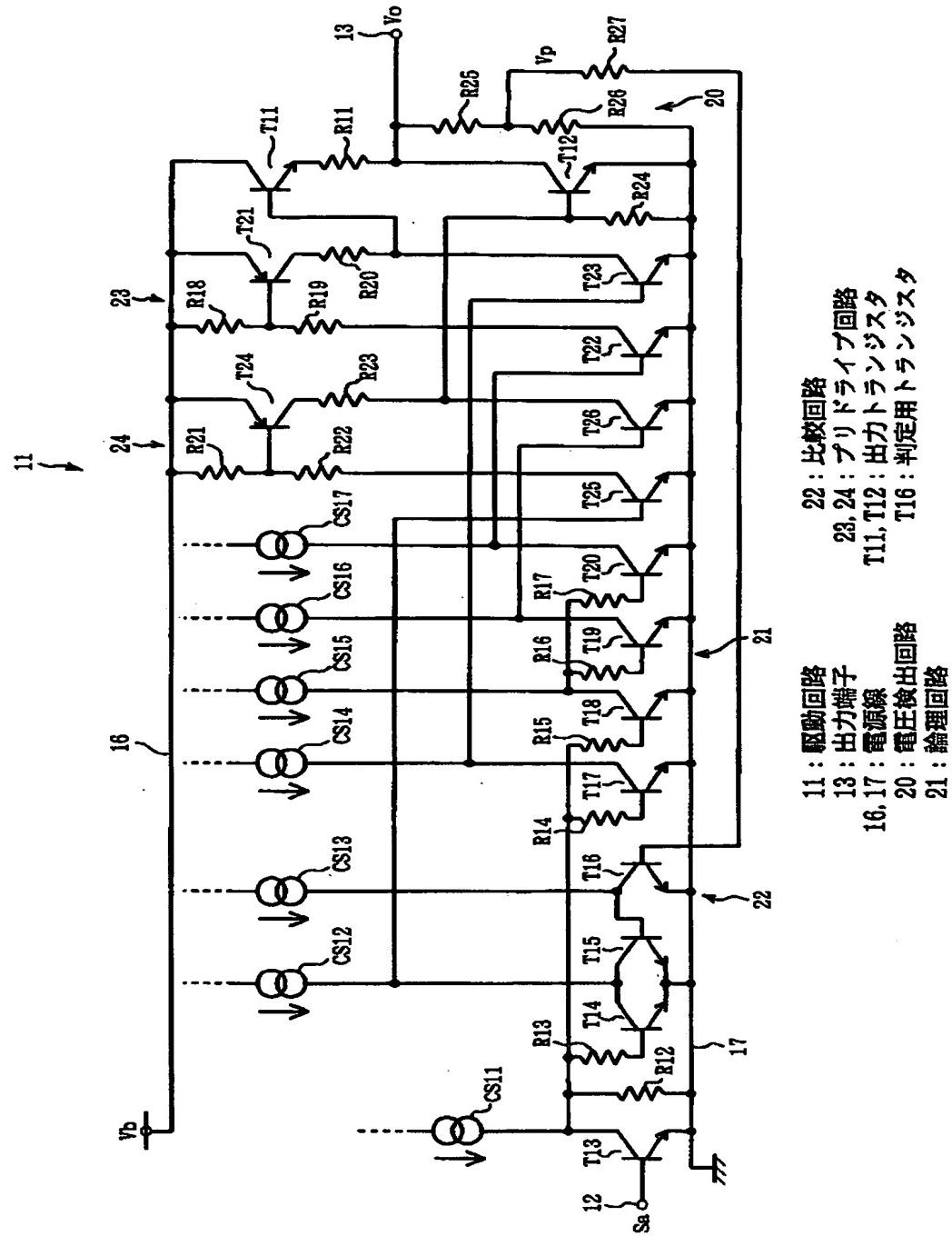
【符号の説明】

11、25、33は駆動回路、13は出力端子、14、26はMOSFET
(スイッチング素子)、16は電源線、17はグランド線(電源線)、20、3

0は電圧検出回路、21、31は論理回路、22、32は比較回路、23、24はプリドライブ回路、T11、T12はトランジスタ（出力トランジスタ）、T16、T29はトランジスタ（判定用トランジスタ）、36はコンパレータ（比較回路）である。

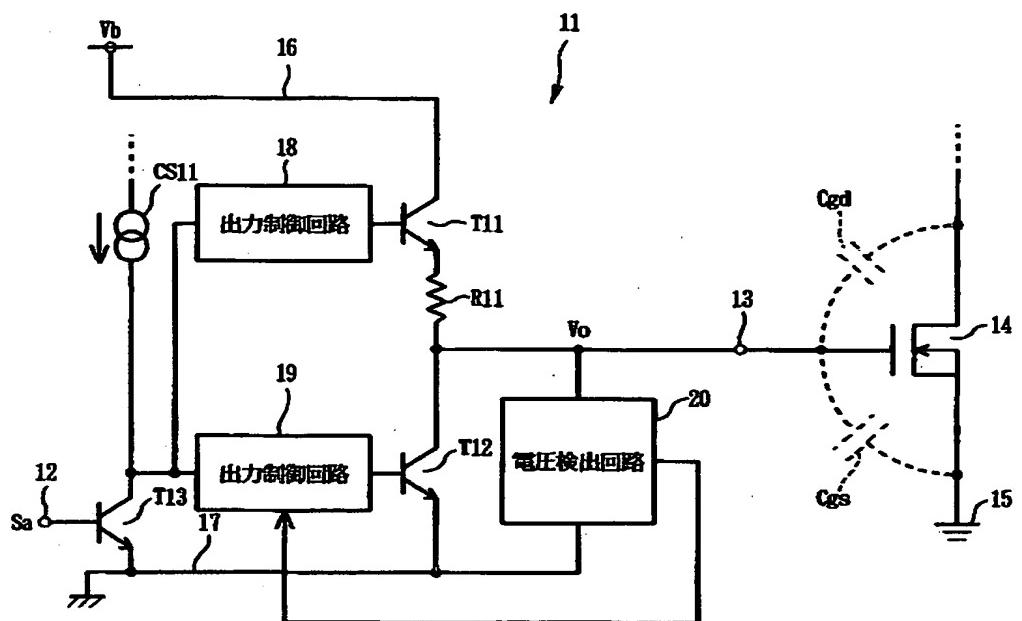
【書類名】 図面

【図1】



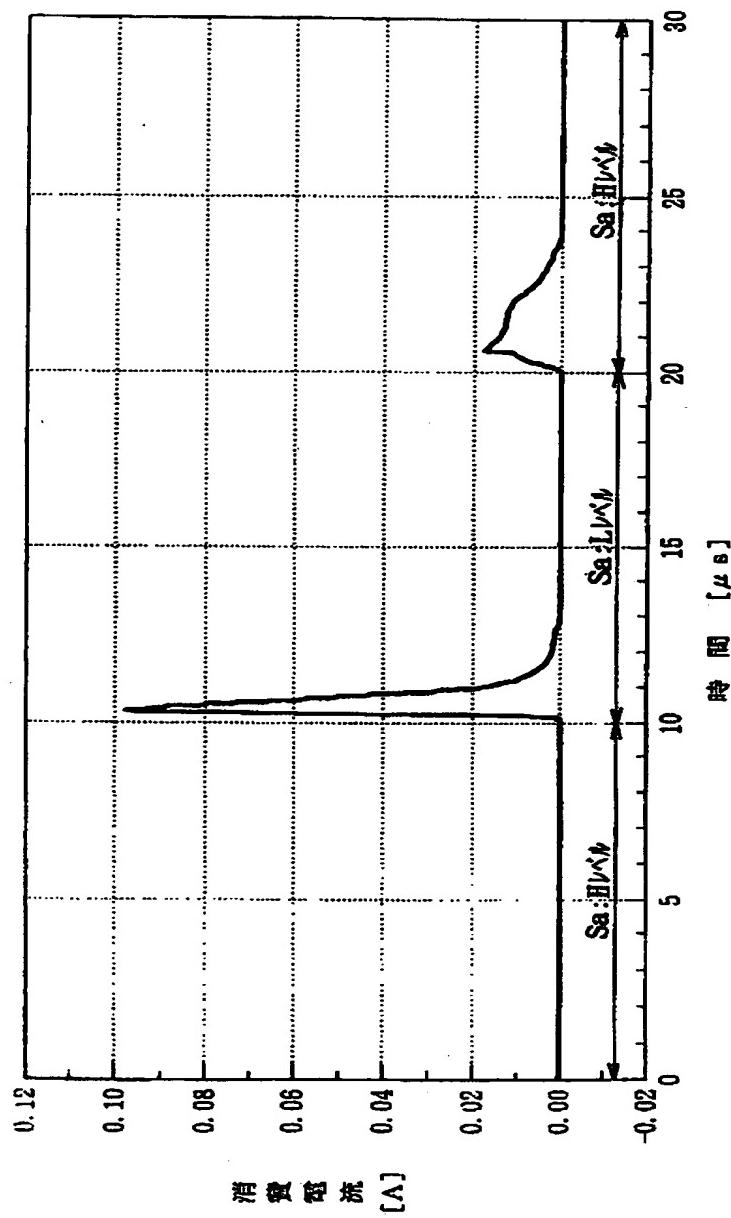
- 11: 駆動回路
 13: 出力端子
 16, 17: 電源線
 20: 電圧検出回路
 21: 論理回路
- 22: 比較回路
 23, 24: プリドライブ回路
 T11, T12: 出力トランジスタ
 T16: 判定用トランジスタ

【図2】

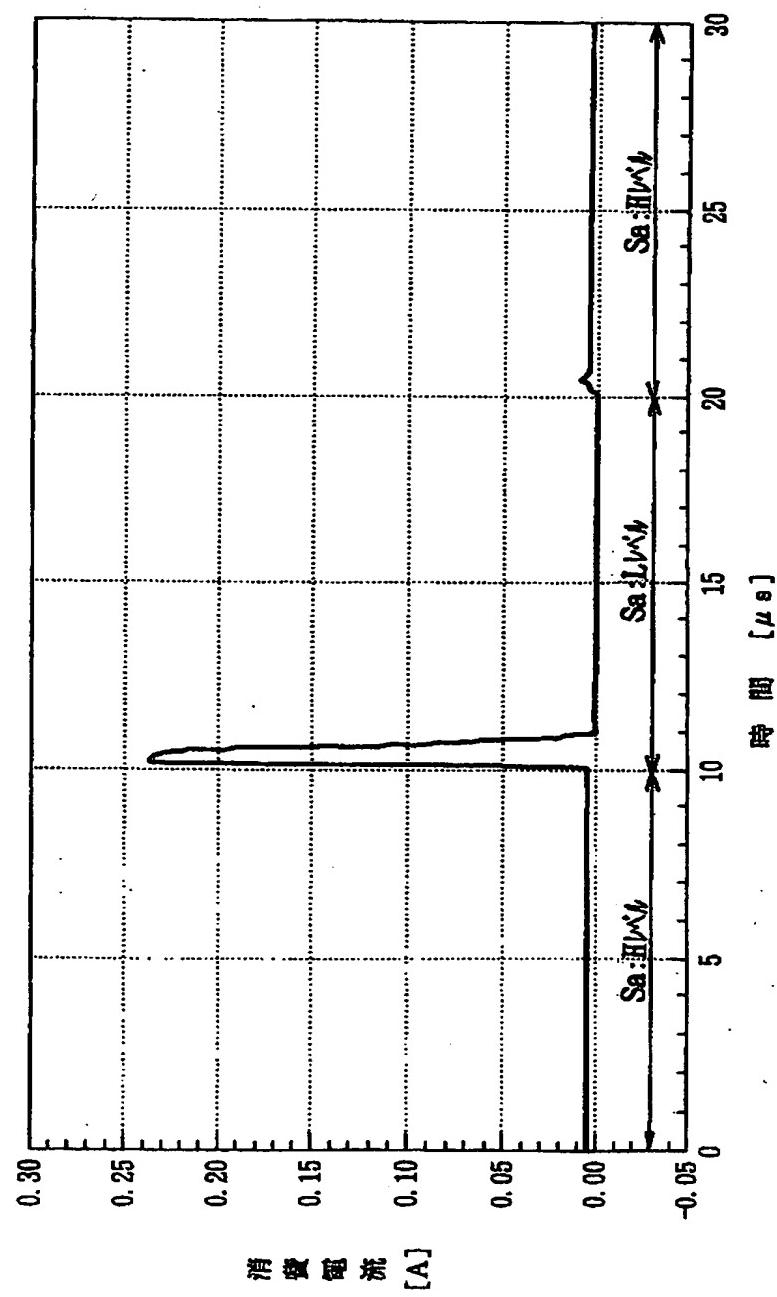


14：スイッチング素子

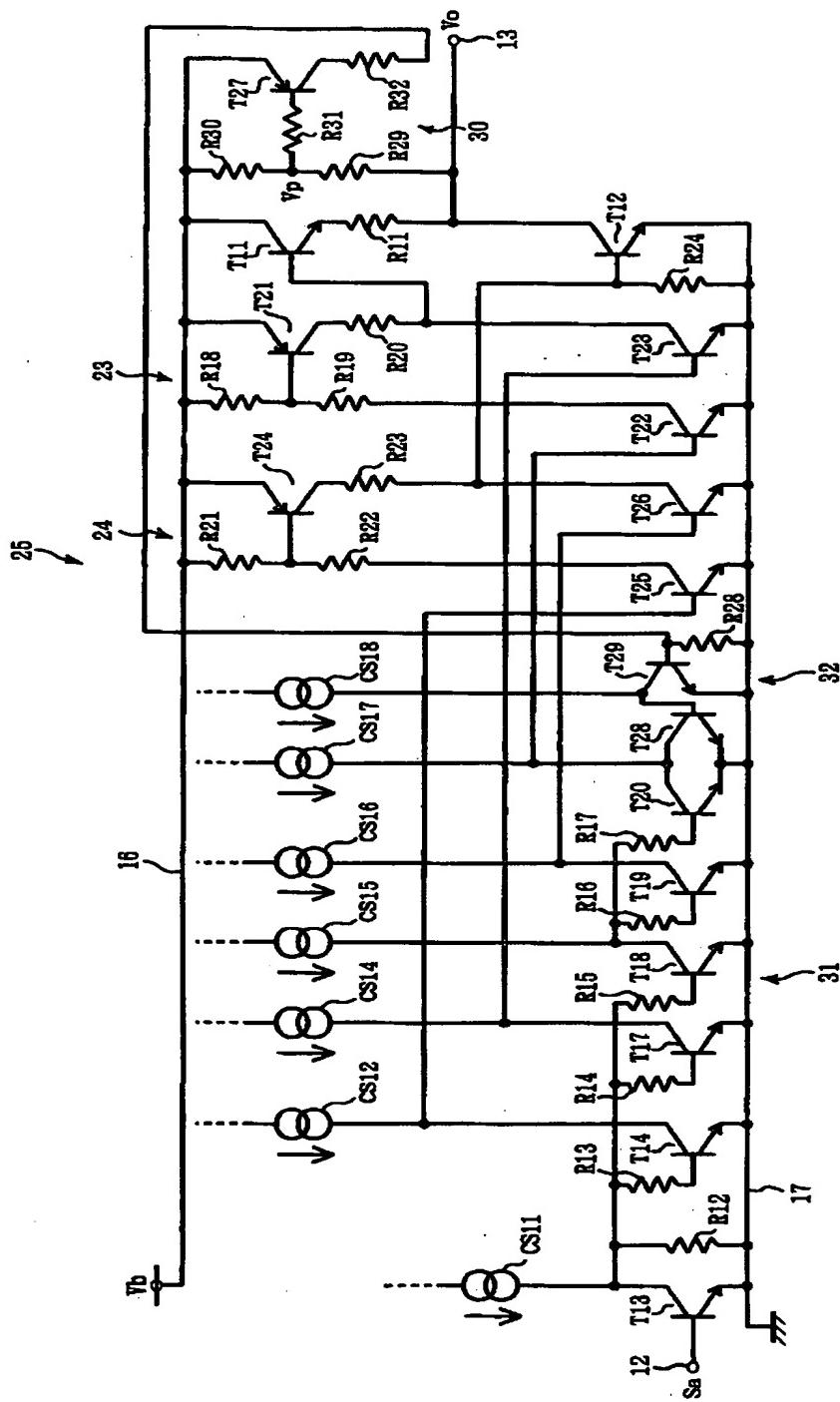
【図3】



【図4】

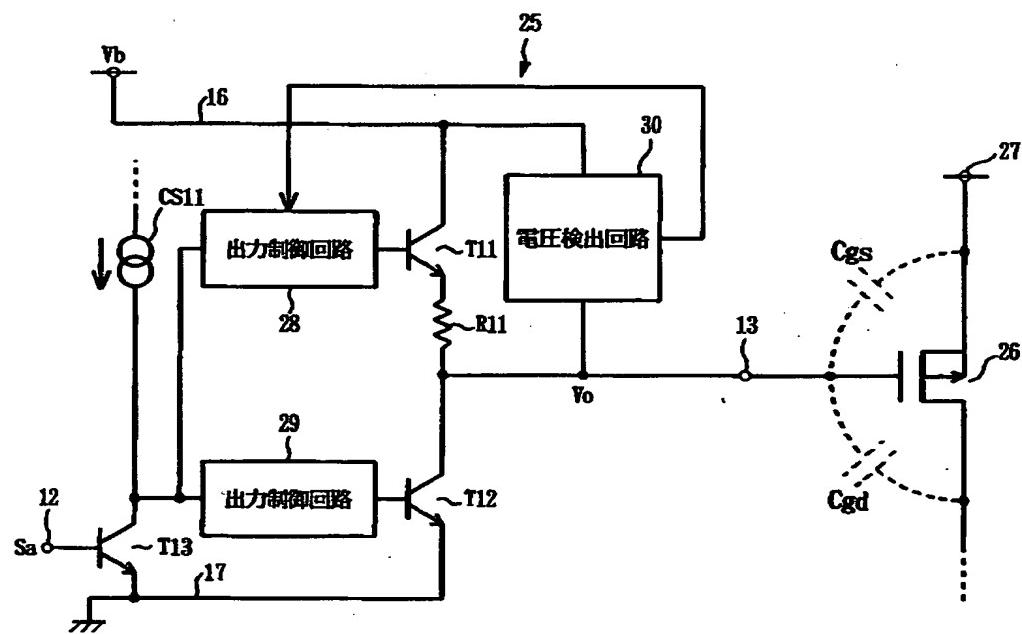


【図5】



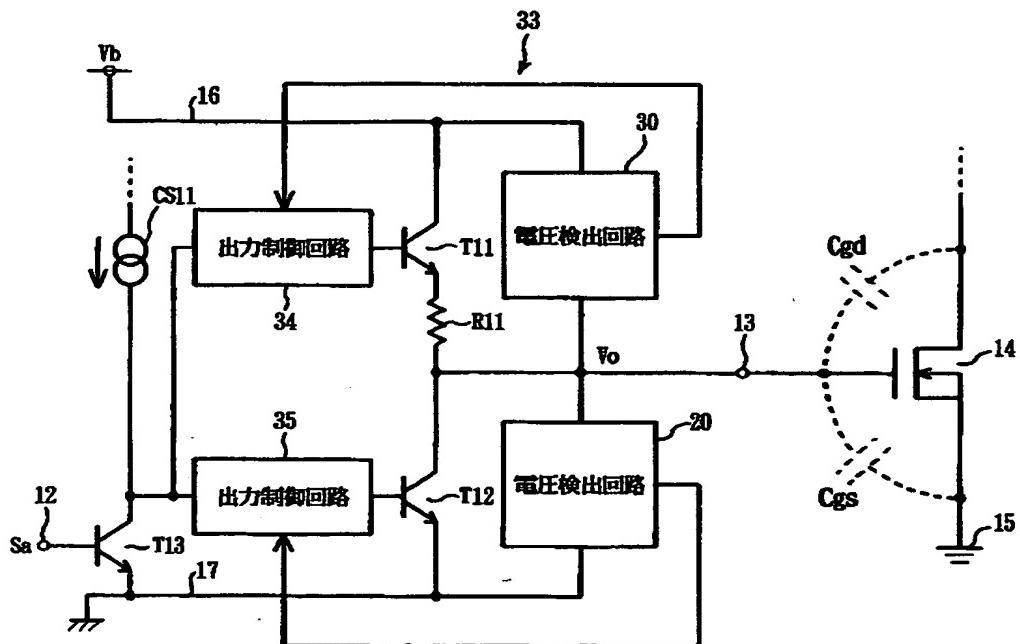
25: 驅動回路
 30: 電圧検出回路
 31: 論理回路
 32: 比較回路
 T29: 判定用トランジスタ

【図6】



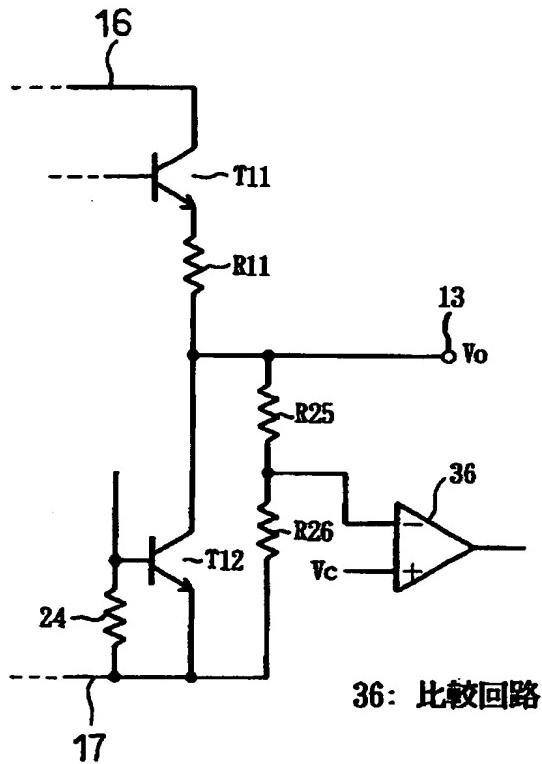
26:スイッチング素子

【図7】

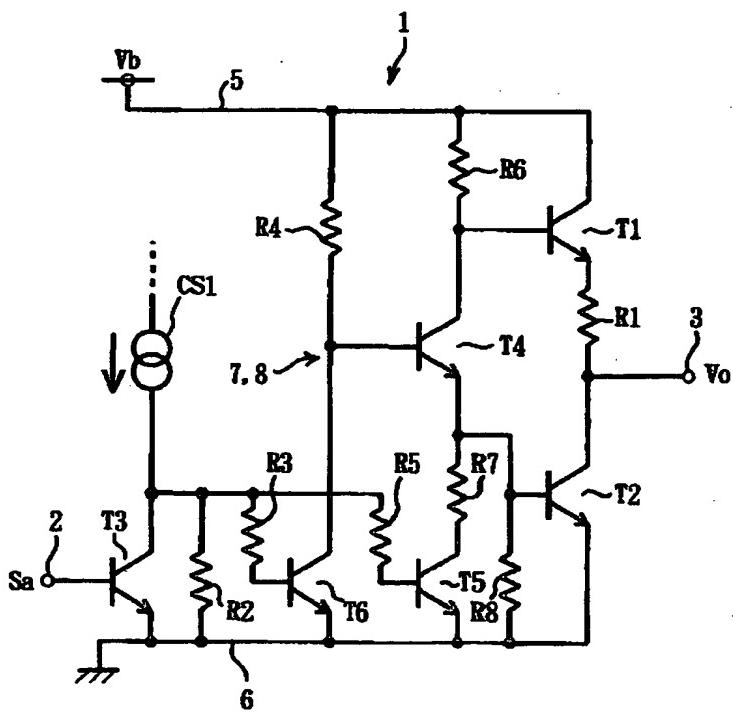


33: 駆動回路

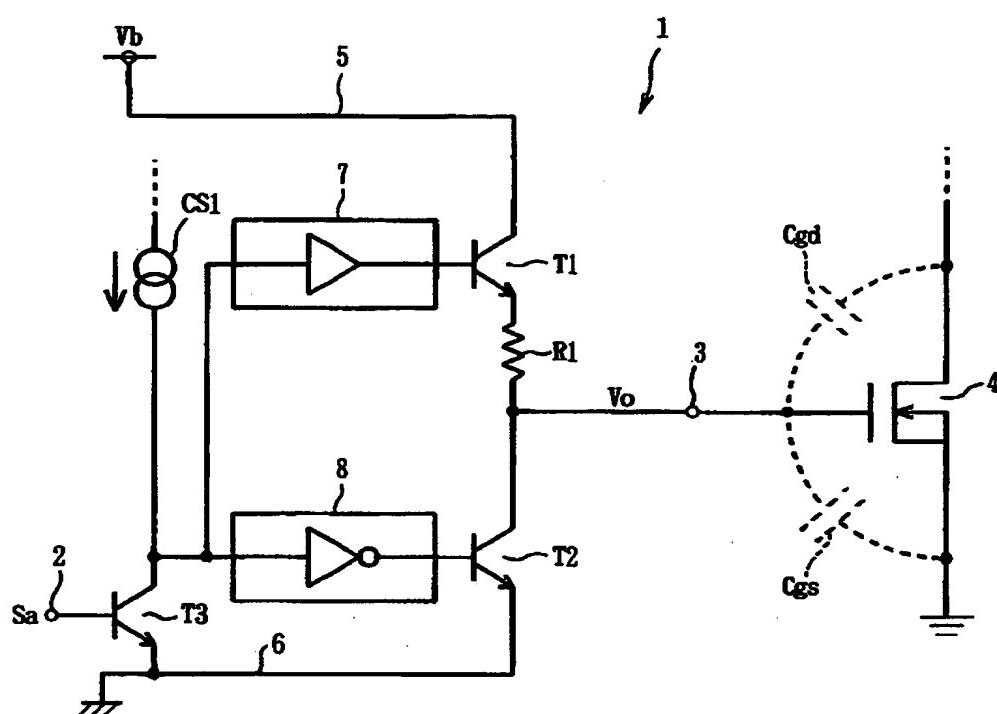
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 スイッチング素子のスイッチング速度を低下させることなく、自らの消費電力を低減すること。

【解決手段】 制御信号 S a のレベルを L から H にして出力端子 1 3 に接続されたMOSFET をオフさせる場合、電圧検出回路 2 0 により検出された出力端子 1 3 の電圧 V o が MOSFET のしきい値電圧 V th よりも低く設定されたオフ判定電圧 ($= (R 2 5 + R 2 6) / R 2 6 \cdot V f$) 以上ある場合、プリドライブ回路 2 3 がオフ状態、プリドライブ回路 2 4 がオン状態となり、トランジスタ T 1 1 がオフ、T 1 2 がオンとなる。このオフ駆動により電圧 V o がオフ判定電圧よりも低下すると、プリドライブ回路 2 3 、 2 4 がともにオフ状態となり、トランジスタ T 1 1 、 T 1 2 のベース電流がともにカットされる。

【選択図】 図 1

出願人履歴情報

識別番号 [000004260]

1. 変更年月日 1996年10月 8日

[変更理由] 名称変更

住 所 愛知県刈谷市昭和町1丁目1番地

氏 名 株式会社デンソー